



# AK4958

## 24bit Stereo CODEC with MIC/SPK/VIDEO-AMP & LDO

### 概 要

AK4958はマイクアンプ、スピーカアンプ、ビデオアンプ、LDOを内蔵した24bit ステレオCODECです。入力にはマイクアンプを内蔵し、出力にはスピーカアンプを内蔵しており、録再機能付きポータブル機器用途に最適です。また、LPFを内蔵した1chのコンポジットビデオ入出力のビデオアンプも内蔵しています。パッケージは32-pin 3.5mm角BGA, 0.5mm pitch(AK4958EG)と25-pin 2.2mm角CSP,0.4mm pitch(AK4958ECB)を採用します。

### 特 長

#### 1. 録音側機能

- アナログ入力 (AK4958EG)
  - 2系統のセレクタ内蔵ステレオシングルエンド入力 (AK4958ECB)
  - 1系統のステレオシングルエンド入力
- マイク用ゲインアンプ内蔵 (+30dB, +25dB, +21dB, +18dB, +15dB, +12dB, +6dB, 0dB)
- Digital ALC (Automatic Level Control) 回路内蔵
  - Setting Range: +36dB ~ -52.5dB, 0.375dB Step & Mute
  - Motor Noise 低減回路内蔵
- ADC特性: S/(N+D): 83dB, DR, S/N: 88dB (MIC-Amp=+18dB)  
S/(N+D): 85dB, DR, S/N: 96dB (MIC-Amp=0dB)
- マイク感度補正機能(移動平均Data出力回路内蔵)
- 自動風切音フィルタ回路内蔵
- 5段のノッチフィルタ
  - 動作中ゲイン切り替え回路内蔵
- ステレオ感強調回路
- Digital MIC Interface 内蔵

#### 2. 再生側機能

- ソフトミュート
- Digital ALC (Automatic Level Control) 回路内蔵
  - Setting Range: +36dB ~ -52.5dB, 0.375dB Step & Mute
- デジタルボリューム内蔵
  - +6dB ~ -89.5dB, 0.5dB Step & Mute
- ステレオ感強調回路
- ステレオライン出力
  - 出力電圧: 1Vrms (AVDD = 3.3V)
  - S/(N+D): 85dB
  - S/N: 92dB
- モノラルミキシング出力
- モノラルスピーカアンプ内蔵
  - SPK-AMP特性: S/(N+D): 65dB@150mW, 60dB@250mW  
S/N: 90dB
  - BTL接続
  - 定格出力: 400mW@8Ω (AVDD = 3.3V)
- アナログミキシング: BEEP入力
- 低域強調回路
- 3-Band Dynamic Range Control回路

3. マスタクロック  
基準クロック入力周波数
  - (1) MCKI基準PLLモード
    - 周波数: 11.2896MHz, 12MHz, 13.5MHz, 24MHz, 27MHz (MCKI pin)
  - (2) BICK基準PLLモード
    - 周波数: 32fs or 64fs (BICK pin)
  - (3) EXTモード
    - 周波数: 256fs, 512fs or 1024fs (MCKI pin)マスタクロック出力周波数: 64fs/128fs/256fs/512fs
4. サンプリング周波数
  - MCKI基準PLL モード (MCKI pin):  
8kHz, 11.025kHz, 12kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz
  - BICK基準PLL Master Mode:  
8kHz ~ 48kHz
  - EXTモード  
7.35kHz ~ 48kHz (256fs), 7.35kHz ~ 48kHz (512fs), 7.35kHz ~ 13kHz (1024fs)
5. マスタ/スレーブモード
6. シリアル $\mu$ Pインタフェース  
(AK4958EG)
  - 3線シリアル, I<sup>2</sup>C Bus (Ver 1.0, 400kHz Fast-Mode)(AK4958ECB)
  - I<sup>2</sup>C Bus (Ver 1.0, 400kHz Fast-Mode)
7. オーディオインタフェースフォーマット: MSB First, 2's complement
  - ADC: 24bit前詰め, 16bit/24bit I<sup>2</sup>S
  - DAC: 24bit前詰め, 16bit後詰め, 24bit後詰め, 24bit I<sup>2</sup>S
8. ビデオ機能
  - コンポジット信号入力: 1系統
  - コンポジット信号出力用ビデオアンプ内蔵  
ゲイン: +12 /+16.5dB
  - LPF内蔵
9. Ta = -30 ~ 85°C
10. 電源電圧  
(AK4958EG)
  - アナログ電源 (AVDD): 2.8 ~ 3.6V
  - デジタル電源 (DVDD): 1.6 ~ 2.0V
  - デジタル I/O 電源 (TVDD): 1.6 or DVDD-0.2 ~ 3.6V(AK4958ECB)
  - アナログ電源 (AVDD): 2.8 ~ 3.6V
  - デジタル, デジタル I/O電源 (DTVDD): 1.6 ~ 2.0V
11. パッケージ  
(AK4958EG)
  - 32-pin BGA (3.5x3.5mm, 0.5mm pitch)(AK4958ECB)
  - 25-pin CSP (2.2x2.2mm, 0.4mm pitch)

■ ブロック図

・ AK4958EG

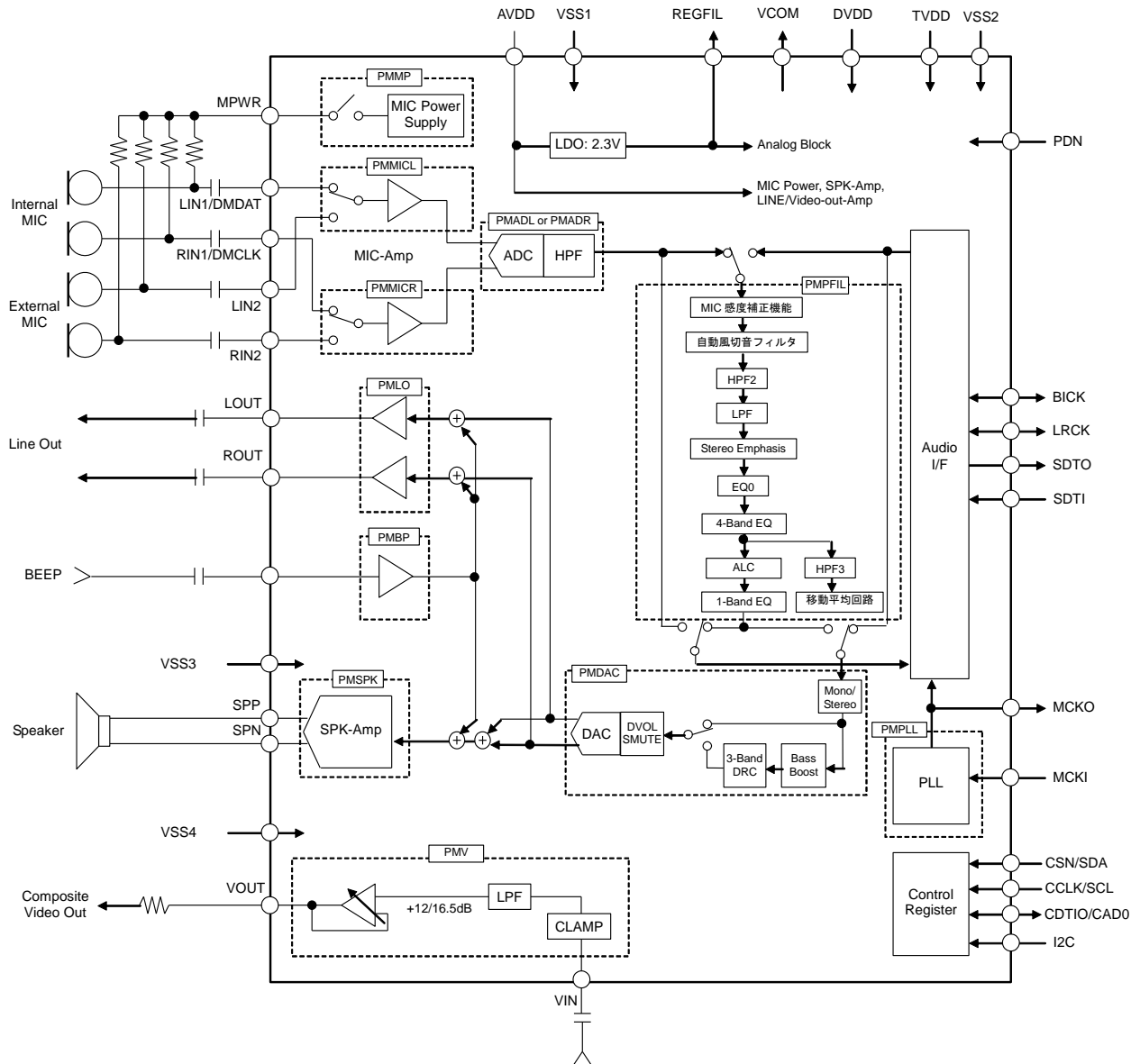


Figure 1. ブロック図(AK4958EG)

• AK4958ECB

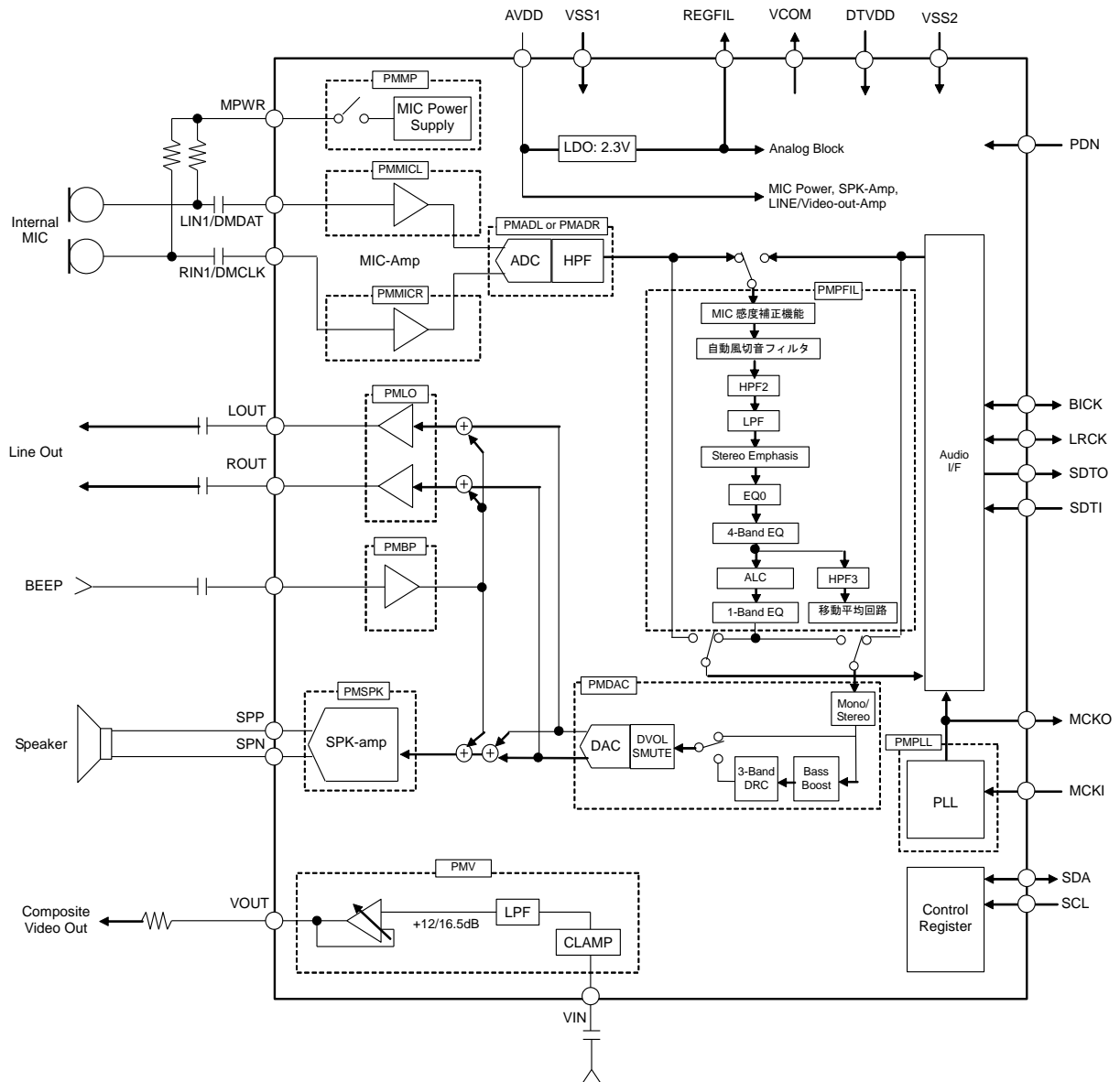


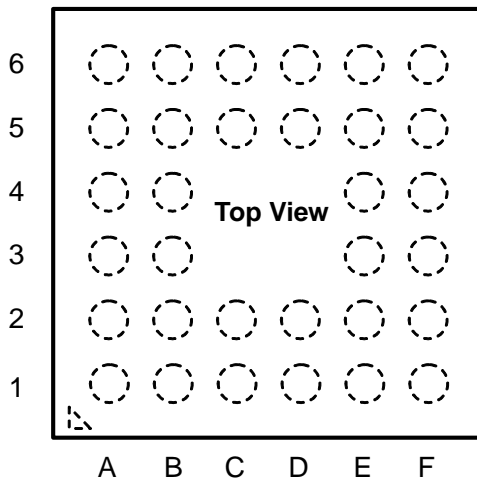
Figure 2. ブロック図(AK4958ECB)

■ オーダリングガイド

AK4958EG	-30 ~ +85°C	32-pin BGA (0.5mm pitch)
AK4958ECB	-30 ~ +85°C	25-pin CSP (0.4mm pitch)
AKD4958EG	AK4958EG評価用ボード	
AKD4958ECB	AK4958ECB評価用ボード	

■ ピン配置

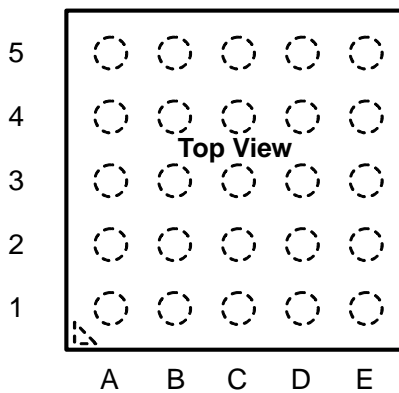
- ・ AK4958EG



6	MPWR	ROUT	REGFIL	VCOM	VSS1	VIN
5	RIN2	BEEP	LOUT	AVDD	VOUT	VSS4
4	RIN1 /DMCLK	LIN2			SPP	SPN
3	LIN1 /DMDAT	I2C			VSS2	VSS3
2	CDTIO /CAD0	CSN /SDA	SDTI	MCKO	MCKI	DVDD
1	CCLK /SCL	LRCK	BICK	SDTO	TVDD	PDN
	A	B	C	D	E	F

Top View

• AK4958ECB



5	PDN	VSS2	SPP	SPN	VIN
4	MCKO	MCKI	DTVDD	VOUT	VSS1
3	SDTI	SDTO	BEEP	AVDD	VCOM
2	LRCK	BICK	RIN1 /DMCLK	LOUT	REGFIL
1	SCL	SDA	LIN1 /DMDAT	MPWR	ROUT
	A	B	C	D	E

**Top View**

## ■ AK4958EGとAK4958ECBの比較

機能	AK4958EG	AK4958ECB
Digital I/O 電圧	TVDD = 1.6 or DVDD-0.2 ~ 3.6V	DTVDD = 1.6V ~ 2.0V *Digital Core 電源とピン共有
VSS ピン数	4pin	2pin
ADC 入力 ch	2 Stereo (LIN1/RIN1, LIN2/RIN2)	1 Stereo (LIN1/RIN1)
Control I/F mode	3-wire / I2C	I2C *スレーブアドレス “0010011” 固定
Package	32BGA (3.5 x 3.5mm, 0.5mm pitch)	25CSP (2.2 x 2.2mm, 0.4mm pitch)

## ピン機能 (AK4958EG)

No	Pin Name	I/O	Function
<b>Power Supply</b>			
D5	AVDD	-	Analog Power Supply Pin, 2.8 ~ 3.6V VSS1との間に0.1 $\mu$ F以上のセラミックコンデンサを接続してください。
D6	VCOM	O	Common Voltage Output Pin Bias voltage of ADC inputs and DAC outputs. VSS1との間に2.2 $\mu$ F $\pm$ 50%のコンデンサを接続してください。
E6	VSS1	-	Ground 1 Pin
F2	DVDD	-	Digital Power Supply Pin, 1.6 ~ 2.0V VSS2との間に0.1 $\mu$ F以上のセラミックコンデンサを接続してください。
E1	TVDD	-	Digital Interface Supply Pin, 1.6 or DVDD-0.2V ~ 3.6V
C6	REGFIL	O	LDO Voltage Output pin for Analog Logic (typ 2.3V) VSS1との間に2.2 $\mu$ F $\pm$ 50%のコンデンサを接続してください。
E3	VSS2	-	Ground 2 Pin
F3	VSS3	-	Ground 3 Pin
F5	VSS4	-	Ground 4 Pin
<b>Audio Interface</b>			
E2	MCKI	I	Master Clock Input Pin (Note 1)
D2	MCKO	O	Master Clock Output Pin
B1	LRCK	I/O	Channel Clock Pin (Note 1)
C1	BICK	I/O	Audio Serial Data Clock Pin (Note 1)
C2	SDTI	I	Audio Serial Data Input Pin (Note 1)
D1	SDTO	O	Audio Serial Data Output Pin
<b>Control Register Interface</b>			
B2	CSN	I	Chip Select Pin (I2C pin = "L") (Note 1)
	SDA	I/O	Control Data Input/Output Pin (I2C pin = "H") (Note 1)
A1	CCLK	I	Control Data Clock Pin (I2C pin = "L") (Note 1)
	SCL	I	Control Data Clock Pin (I2C pin = "H") (Note 1)
A2	CDTIO	I/O	Control Data Input/Output Pin (I2C pin = "L") (Note 1)
	CAD0	I	Chip Address Select Pin (I2C pin = "H") (Note 1)
B3	I2C	I	Control Mode Select Pin "H": I <sup>2</sup> C Bus, "L": 3-wire Serial (Note 1)

Note 1. アナログ入力ピン (BEEP, LIN1, RIN1, LIN2, RIN2, VIN) 以外のすべての入力ピンはフローティングにしてはいけません。



No	Pin Name	I/O	Function
<b>MIC Block</b>			
A3	LIN1	I	Lch Analog Input 1 Pin (DMIC bit = "0")
	DMDAT	I	Digital Microphone Data Input Pin (DMIC bit = "1") (Note 1)
A4	RIN1	I	Rch Analog Input 1 Pin (DMIC bit = "0")
	DMCLK	O	Digital Microphone Clock Pin (DMIC bit = "1")
B4	LIN2	I	Lch Analog Input 2 Pin
A5	RIN2	I	Rch Analog Input 2 Pin
A6	MPWR	O	MIC Power Supply Pin for Microphone
<b>BEEP Block</b>			
B5	BEEP	I	BEEP Signal Input Pin
<b>Lineout Block</b>			
C5	LOUT	O	Lch Analog Output Pin
B6	ROUT	O	Rch Analog Output Pin
<b>Speaker Block</b>			
E4	SPP	O	Speaker Amp Positive Output Pin
F4	SPN	O	Speaker Amp Negative Output Pin
<b>Video Block</b>			
F6	VIN	I	Composite Video Input Pin
E5	VOUT	O	Composite Video Output Pin
<b>Other Functions</b>			
F1	PDN	I	Reset & Power-down Pin (Note 1) "L": Reset & Power-down, "H": Normal Operation

Note 1. アナログ入力ピン (BEEP, LIN1, RIN1, LIN2, RIN2, VIN) 以外のすべての入力ピンはフローティングにしてはいけません。

## ピン／機能 (AK4958ECB)

No	Pin Name	I/O	Function
<b>Power Supply</b>			
D3	AVDD	-	Analog Power Supply Pin, 2.8 ~ 3.6V VSS1との間に0.1 $\mu$ F以上のセラミックコンデンサを接続してください。
E3	VCOM	O	Common Voltage Output Pin Bias voltage of ADC inputs and DAC outputs. VSS1との間に2.2 $\mu$ F $\pm$ 50%のコンデンサを接続してください。
E4	VSS1	-	Ground 1 Pin
C4	DTVDD	-	Digital Power & Digital Interface Supply Pin, 1.6 ~ 2.0V VSS2との間に0.1 $\mu$ F以上のセラミックコンデンサを接続してください。
E2	REGFIL	O	LDO Voltage Output pin for Analog Logic (typ 2.3V) VSS1との間に2.2 $\mu$ F $\pm$ 50%のコンデンサを接続してください。
B5	VSS2	-	Ground 2 Pin
<b>Audio Interface</b>			
B4	MCKI	I	Master Clock Input Pin (Note 2)
A4	MCKO	O	Master Clock Output Pin
A2	LRCK	I/O	Channel Clock Pin (Note 2)
B2	BICK	I/O	Audio Serial Data Clock Pin (Note 2)
A3	SDTI	I	Audio Serial Data Input Pin (Note 2)
B3	SDTO	O	Audio Serial Data Output Pin
<b>Control Register Interface</b>			
B1	SDA	I/O	Control Data Input/Output Pin (Note 2)
A1	SCL	I	Control Data Clock Pin (Note 2)
<b>MIC Block</b>			
C1	LIN1	I	Lch Analog Input 1 Pin (DMIC bit = "0")
	DMDAT	I	Digital Microphone Data Input Pin (DMIC bit = "1") (Note 2)
C2	RIN1	I	Rch Analog Input 1 Pin (DMIC bit = "0")
	DMCLK	O	Digital Microphone Clock Pin (DMIC bit = "1")
D1	MPWR	O	MIC Power Supply Pin for Microphone
<b>BEEP Block</b>			
C3	BEEP	I	BEEP Signal Input Pin
<b>Lineout Block</b>			
D2	LOUT	O	Lch Analog Output Pin
E1	ROUT	O	Rch Analog Output Pin
<b>Speaker Block</b>			
C5	SPP	O	Speaker Amp Positive Output Pin
D5	SPN	O	Speaker Amp Negative Output Pin
<b>Video Block</b>			
E5	VIN	I	Composite Video Input Pin
D4	VOUT	O	Composite Video Output Pin
<b>Other Functions</b>			
A5	PDN	I	Reset & Power-down Pin "L": Reset & Power-down, "H": Normal Operation

Note 2. アナログ入力ピン (BEEP, LIN1, RIN1, VIN) 以外のすべての入力ピンはフローティングにしてはいけません。

**■ 使用しないピンの処理について**

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

区分	ピン名	設定
Analog	MPWR, SPN, SPP, LOUT, ROUT, BEEP, RIN2, LIN2, VIN, VOUT	オープン
	LIN1, RIN1	オープンかつDMIC bit=“0”
Digital	MCKO, SDTO	オープン
	MCKI, SDTI	VSS2に接続
	LRCK, BICK	M/S bit = “0” に設定し、VSS2に接続

## 絶対最大定格

(AK4958EG: VSS1=VSS2=VSS3=VSS4=0V, AK4958ECB: VSS1=VSS2=0V; Note 3)

Parameter		Symbol	min	max	Unit
Power Supplies (AK4958EG)	Analog	AVDD	-0.3	6.0	V
	Digital	DVDD	-0.3	2.5	V
	Digital I/O	TVDD	-0.3	6.0	V
Power Supplies (AK4958ECB)	Analog	AVDD	-0.3	6.0	V
	Digital, Digital I/O	DTVDD	-0.3	2.5	V
Input Current, Any Pin Except Supplies		IIN	-	±10	mA
Analog Input Voltage (Note 4)		VINA	-0.3	AVDD+0.3	V
Digital Input Voltage	(AK4958EG, Note 5)	VIND	-0.3	TVDD+0.3	V
	(AK4958ECB, Note 6)	VIND	-0.3	DTVDD+0.3	V
	(Note 7)	VIND	-0.3	6.0	V
Ambient Temperature (powered applied)		Ta	-30	85	°C
Storage Temperature		Tstg	-65	150	°C
Maximum Power Dissipation (Note 8)		Pd	-	460	mW

Note 3. 電圧はすべてグランドピンに対する値です。VSS1, VSS2, VSS3, VSS4 は同じアナロググランドに接続して下さい。

Note 4. BEEP, LIN1, RIN1, LIN2, RIN2, VIN, I2C pins

Note 5. PDN, CDTIO, SDTI, LRCK, BICK, MCKI pins

Note 6. PDN, SDTI, LRCK, BICK, MCKI pins

Note 7. CSN/SDA, CCLK/SCL pins

Note 8. この電力値はAK4958内部損失分で、外部接続されるスピーカの消費分は含みません。AK4958のジャンクション温度の最大許容値は125°Cで、JESD51-9(2p2s)における $\theta_{ja}$  (Junction to Ambient)はAK4958EG: 80°C/W, AK4958ECB: 56°C/Wです。Pd = 460mWの時、AK4958EGは $\theta_{ja} = 80^\circ\text{C/W}$ より、AK4958ECBは $\theta_{ja} = 56^\circ\text{C/W}$ よりジャンクション温度は125°Cを超えることはありませんので、AK4958の内部損失によってデバイスが破壊されることはありません。AK4958EGは $\theta_{ja} \leq 80^\circ\text{C/W}$ 、AK4958ECBは $\theta_{ja} \leq 56^\circ\text{C/W}$ となる条件でボードを使用することを推奨します。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また、一度でもこの値を超えた場合、その後の通常の動作は保証されません。

<b>推奨動作条件 (AK4958EG)</b>
--------------------------

(VSS1=VSS2=VSS3=VSS4=0V; Note 3)

Parameter		Symbol	min	typ	max	Unit
Power Supplies (Note 9)	Analog	AVDD	2.8	3.3	3.6	V
	Digital	DVDD	1.6	1.8	2.0	V
	Digital I/O (Note 10)	TVDD	1.6 or DVDD-0.2	1.8	3.6	V

Note 3. 電圧はすべてグランドピンに対する値です。

Note 9. AVDD, DVDD, TVDD の電源立ち上げシーケンスを考慮する必要はありません。電源立ち上げ時に内部回路が不定になることを避けるためPDN pin = “L” の状態で各電源を立ち上げ、全ての電源が立ち上がった後、PDN pin = “H” にしてください。

Note 10. min値は、1.6Vまたは DVDD-0.2V のどちらか高い方の値です。

\* AK4958EGでは、TVDD=ON, PDN pin = “L” のとき、AVDD, DVDDをON/OFFすることが可能です。OFF状態からON状態にする場合は、全ての電源(AVDD, DVDD, TVDD)が立ち上がってから、PDN pinを “H” にして下さい。

<b>推奨動作条件 (AK4958ECB)</b>
---------------------------

(VSS1=VSS2=0V; Note 3)

Parameter		Symbol	min	typ	max	Unit
Power Supplies (Note 10)	Analog	AVDD	2.8	3.3	3.6	V
	Digital, Digital I/O	DTVDD	1.6	1.8	2.0	V

Note 3. 電圧はすべてグランドピンに対する値です。

Note 11. AVDD, DTVDDの電源立ち上げシーケンスを考慮する必要はありません。電源立ち上げ時に内部回路が不定になることを避けるためPDN pin = “L” の状態で各電源を立ち上げ、全ての電源が立ち上がった後、PDN pin = “H” にしてください。

\* AK4958ECBでは、DTVDD=ON, PDN pin = “L” のとき、AVDDをON/OFFすることが可能です。OFF状態からON状態にする場合は、全ての電源(AVDD, DTVDD)が立ち上がってから、PDN pinを “H” にして下さい。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

## アナログ特性

(Ta=25°C; fs=48kHz, BICK=64fs; Signal Frequency=1kHz; 24bit Data; Measurement Bandwidth =20Hz ~ 20kHz; unless otherwise specified; AK4958EG: AVDD = 3.3V, DVDD = TVDD= 1.8V; VSS1=VSS2=VSS3=VSS4=0V, AK4958ECB: AVDD = 3.3V, DTVDD = 1.8V; VSS1=VSS2=0V)

Parameter		min	typ	max	Unit
<b>MIC Amplifier: LIN1, RIN1, LIN2, RIN2 pins</b>					
Input Resistance		20	30	42	kΩ
Gain	MGAIN2-0 bits = "000"	-1	0	+1	dB
	MGAIN2-0 bits = "001"	+5	+6	+7	dB
	MGAIN2-0 bits = "010"	+11	+12	+13	dB
	MGAIN2-0 bits = "011"	+14	+15	+16	dB
	MGAIN2-0 bits = "100"	+17	+18	+19	dB
	MGAIN2-0 bits = "101"	+20	+21	+22	dB
	MGAIN2-0 bits = "110"	+24	+25	+26	dB
MGAIN2-0 bits = "111"	+29	+30	+31	dB	
<b>MIC Power Supply: MPWR pin</b>					
Output Voltage	MICL bit = "0"	2.2	2.4	2.6	V
	MICL bit = "1"	1.8	2.0	2.2	V
Output Noise Level (A-weighted)		-	-108	-	dBV
Load Resistance		0.5	-	-	kΩ
Load Capacitance		-	-	30	pF
PSRR (Sine Wave = 500mVpp, fin =1kHz)		-	100	-	dB
<b>ADC Analog Input Characteristics:</b>					
AK4958EG: LIN1/RIN1/LIN2/RIN2 pins → ADC (Programmable Filter = OFF)					
AK4958ECB: LIN1/RIN1 pins → ADC (Programmable Filter = OFF)					
Resolution		-	-	24	Bits
Input Voltage (Note 12)	(Note 13)	-	0.261	-	Vpp
	(Note 14)	1.86	2.07	2.28	Vpp
S/(N+D) (-1dBFS)	(Note 13)	73	83	-	dBFS
	(Note 14)	-	85	-	dBFS
D-Range (-60dBFS, A-weighted)	(Note 13)	78	88	-	dB
	(Note 14)	-	96	-	dB
S/N (A-weighted)	(Note 13)	78	88	-	dB
	(Note 14)	-	96	-	dB
Interchannel Isolation	(Note 13)	75	90	-	dB
	(Note 14)	-	100	-	dB
Interchannel Gain Mismatch	(Note 13)	-	0	0.5	dB
	(Note 14)	-	0	0.5	dB
PSRR (Sine Wave = 500mVpp, fin =1kHz)		-	80	-	dB

Note 12. Vin = 0.9 x 2.3Vpp (typ) @MGAIN2-0 bits = "000" (0dB)

Note 13. MGAIN2-0 bits = "100" (+18dB)

Note 14. MGAIN2-0 bits = "000" (0dB)

Parameter		min	typ	max	Unit	
<b>DAC Characteristics:</b>						
Resolution		-	-	24	Bits	
<b>Stereo Line Output Characteristics:</b> DAC → LOUT, ROUT pins, ALC=OFF, DVOL=OVOL =0dB, R <sub>L</sub> =10kΩ, PMBP bit = "0", LVCM1-0 bits = "01"						
Output Voltage (Note 15)	(0dBFS)	LVCM0 bit = "0"	-	2.26	-	V <sub>pp</sub>
		LVCM0 bit = "1"	-	1.00	-	V <sub>rms</sub>
	(-3dBFS)	LVCM0 bit = "0"	1.44	1.60	1.76	V <sub>pp</sub>
		LVCM0 bit = "1"	1.82	2.00	2.22	V <sub>pp</sub>
S/(N+D) (-3dBFS)		75	85	-	dBFS	
S/N (A-weighted)		82	92	-	dB	
Interchannel Isolation		85	100	-	dB	
Interchannel Gain Mismatch		-	0	0.8	dB	
Load Resistance		10	-	-	kΩ	
Load Capacitance		-	-	30	pF	
PSRR (Sine Wave = 500mV <sub>pp</sub> , fin = 1kHz)		-	80	-	dB	
<b>Speaker-Amp Characteristics:</b> DAC → SPP/SPN pins, ALC=OFF, DVOL=OVOL =0dB, R <sub>L</sub> =8Ω, BTL						
Output Voltage (AK4958EG)						
	SPKG1-0 bits = "00", -0.5dBFS (Po=150mW)	-	3.18	-	V <sub>pp</sub>	
	SPKG1-0 bits = "01", -0.5dBFS (Po=250mW)	3.20	4.00	4.80	V <sub>pp</sub>	
	SPKG1-0 bits = "10", -0.5dBFS (Po=400mW)	-	1.79	-	V <sub>rms</sub>	
S/(N+D) (AK4958EG)						
	SPKG1-0 bits = "00", -0.5dBFS (Po=150mW)	-	65	-	dB	
	SPKG1-0 bits = "01", -0.5dBFS (Po=250mW)	20	60	-	dB	
	SPKG1-0 bits = "10", -0.5dBFS (Po=400mW)	-	20	-	dB	
S/N (AK4958EG) SPKG1-0 bits = "01", -0.5dBFS (Po=250mW) (A-weighted)						
		80	90	-	dB	
Output Voltage (AK4958ECB)						
	SPKG1-0 bits = "00", -0.7dBFS (Po=150mW)	-	3.18	-	V <sub>pp</sub>	
	SPKG1-0 bits = "01", -0.7dBFS (Po=250mW)	3.20	4.00	4.80	V <sub>pp</sub>	
	SPKG1-0 bits = "10", -0.85dBFS (Po=400mW)	-	1.79	-	V <sub>rms</sub>	
S/(N+D) (AK4958ECB)						
	SPKG1-0 bits = "00", -0.7dBFS (Po=150mW)	-	65	-	dB	
	SPKG1-0 bits = "01", -0.7dBFS (Po=250mW)	20	60	-	dB	
	SPKG1-0 bits = "10", -0.85dBFS (Po=400mW)	-	20	-	dB	
S/N (AK4958ECB) SPKG1-0 bits = "01", -0.7dBFS (Po=250mW) (A-weighted)						
		80	90	-	dB	
Load Resistance		6.8	-	-	Ω	
Load Capacitance		-	-	100	pF	
PSRR (Sine Wave = 500mV <sub>pp</sub> , fin = 1kHz)		-	60	-	dB	

Note 15. Output Voltageは AVDD にトラッキングしません。

Parameter		min	typ	max	Unit
<b>BEEP Input: BEEP pin, Internal Resistance Mode</b> (PMBP bit = "1", BPM bit = "0", BPVCM bit = "0", BPLVL3-0 bits = "0000")					
Input Resistance		46	66	86	kΩ
Maximum Input Voltage (Note 16)		-	-	1.54	V <sub>pp</sub>
Gain					
BEEP → LOUT	LVCM1-0 bits = "00"	-1	0	+1	dB
	LVCM1-0 bits = "01"	-	+2.0	-	dB
	LVCM1-0 bits = "10"	-	+2.0	-	dB
	LVCM1-0 bits = "11"	-	+4.0	-	dB
BEEP → SPP/SPN (Note 17)					
	ALC2 bit = "0", SPKG1-0 bits = "00"	+4.4	+6.4	+8.4	dB
	ALC2 bit = "0", SPKG1-0 bits = "01"	-	+8.4	-	dB
	ALC2 bit = "0", SPKG1-0 bits = "10"	-	+11.1	-	dB
	ALC2 bit = "0", SPKG1-0 bits = "11"	-	+13.1	-	dB
	ALC2 bit = "1", SPKG1-0 bits = "00"	-	+8.4	-	dB
	ALC2 bit = "1", SPKG1-0 bits = "01"	-	+10.4	-	dB
	ALC2 bit = "1", SPKG1-0 bits = "10"	-	+13.1	-	dB
	ALC2 bit = "1", SPKG1-0 bits = "11"	-	+15.1	-	dB
<b>BEEP Input: BEEP pin, External Resistance Mode</b> (PMBP bit = "1", BPM bit = "1", BPVCM bit = "0", BPLVL3-0 bits = "0000"), External Input Resistance= 66kΩ					
Maximum Input Voltage		-	-	1.54	V <sub>pp</sub>
Gain (Note 18)					
BEEP → LOUT	LVCM1-0 bits = "00"	-4.5	0	+4.5	dB
	LVCM1-0 bits = "01"	-	+2.0	-	dB
	LVCM1-0 bits = "10"	-	+2.0	-	dB
	LVCM1-0 bits = "11"	-	+4.0	-	dB
BEEP → SPP/SPN					
	ALC2 bit = "0", SPKG1-0 bits = "00"	+1.9	+6.4	+10.9	dB
	ALC2 bit = "0", SPKG1-0 bits = "01"	-	+8.4	-	dB
	ALC2 bit = "0", SPKG1-0 bits = "10"	-	+11.1	-	dB
	ALC2 bit = "0", SPKG1-0 bits = "11"	-	+13.1	-	dB
	ALC2 bit = "1", SPKG1-0 bits = "00"	-	+8.4	-	dB
	ALC2 bit = "1", SPKG1-0 bits = "01"	-	+10.4	-	dB
	ALC2 bit = "1", SPKG1-0 bits = "10"	-	+13.1	-	dB
	ALC2 bit = "1", SPKG1-0 bits = "11"	-	+15.1	-	dB

Note 16. BPVCM bit = "1"の時は、max AVDD V<sub>pp</sub> です。但し、BEEP-Amp (BPLVL3-0 bitsで設定)通過後の振幅が0.5V<sub>pp</sub>以上の場合、クリップする可能性があります。

Note 17. 無負荷時の理想ゲインです。8Ωの負荷抵抗を付けると、AK4958EGで約-0.4dB、AK4958ECBで約-0.2dBされます。

Note 18. ゲインは外部入力抵抗に反比例します。



Parameter		min	typ	max	Unit
<b>Video Signal Input</b>					
External Resistor (Note 20)	R1 (Figure 3)	0.075	-	1.6	k $\Omega$
External Capacitor	C1 (Figure 3)	0.02	0.047	0.2	$\mu$ F
Maximum Input Voltage VG1-0 bits = "10"(+12dB)		-	0.6	-	Vpp
Pull Down Current		-	0.125	-	$\mu$ A
<b>Video Analog Output (Figure 4)</b>					
Output Gain fin = 100kHz Sine wave Input (Note 19)	VG0 bit = "0", 0.5Vpp Input	11.5	12.0	12.5	dB
	VG0 bit = "1", 0.3Vpp Input	16.0	16.5	17.0	
Clamp Level (Note 19)		-	50	100	mV
S/N (Note 21) VG1-0 bits = "10"(+12dB)	BW = 100kHz ~ 6MHz, S = 0.35Vpp Input	60	67	-	dB
Maximum Output Voltage (Note 19)	fin = 100kHz (Sine wave)	2.54	-	-	Vpp
Secondary Harmonic Distortion VG1-0 bits = "10"(+12dB) fin = 3.58MHz	430mVpp: -20 ~ 100IRE, Sine Wave Input (Flat Field = 100 IRE Burst = -20IRE)	-	-45	-35	dB
Load Resistance		140	150	-	$\Omega$
Load Capacitance	C2 (Figure 4)	-	-	15	pF
	C3 (Figure 4)	-	-	400	pF
PSRR (Note 22) VG1-0 bits = "10"(+12dB)	fin = 10kHz	-	45	-	dB
	fin = 100kHz	-	30	-	dB
<b>LPF for VIN signal : (Note 19)</b>					
Frequency Response (fin = 100kHz, 0.5Vpp, Sine wave Input) , C2 = 15pF, C3 = 400pF					
	Response at 6.75MHz	-3.0	-0.5	+2.0	dB
	Response at 27MHz	-	-47	-20	
Group Delay	GD3MHz-GD6MHz	-	15	100	ns

Note 19. Figure 4. の Measurement point 1 の測定点でのスペックです。0.5Vpp入力はVG1-0 bits = "10"(+12dB)時の値です。入力振幅はゲインに反比例します。S/N, Secondary Harmonic Distortionの測定点は Measurement point 2になります。

Note 20. VIN pin への入力回路がパワーダウンや、入力信号を停止した時などに、0.075 ~ 1.6k $\Omega$ の範囲外になる場合、PMV bit を"0"にして下さい。

Note 21.  $S/N = 20 \log (\text{Output Voltage [Vpp]}/\text{Noise Level [Vrms]})$ . Output Voltage = 0.7 [Vpp].

Note 22.測定条件は、AVDD に 500mVpp の Sin波を印加し、VOUT にて-20IRE, 0IRE, 100IRE になるDC を VIN に印加した場合です。

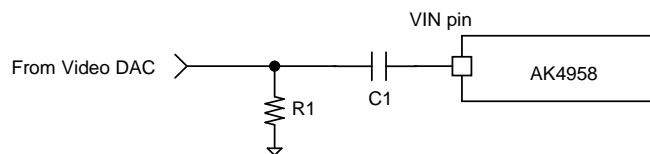


Figure 3. External Resistor of Video Signal Input pin

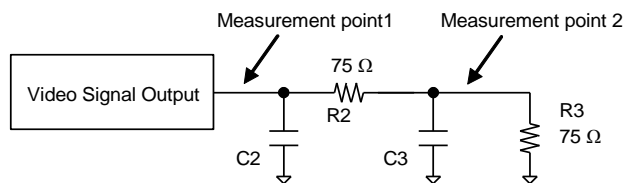


Figure 4. Load Capacitance C2 and C3

Parameter	min	typ	max	Unit
<b>Power Supplies:</b>				
Power Up (PDN pin = "H")				
All Circuit Power-up (Note 23)				
AVDD	-	10.5	15	mA
DVDD +TVDD	-	2.8	4.2	mA
MIC + ADC (Note 24)				
AVDD	-	2.5	-	mA
DVDD +TVDD	-	0.9	-	mA
DAC + Lineout (Note 25)				
AVDD	-	2.2	-	mA
DVDD +TVDD	-	0.7	-	mA
DAC + SPK-Amp (Note 26)				
AVDD	-	3.3	-	mA
DVDD +TVDD	-	0.7	-	mA
Video Block (Note 27)				
AVDD	-	5.3	-	mA
Power Down (PDN pin = "L") (Note 28)				
AVDD+DVDD+TVDD	-	1	5	μA

Note 23. PLL Master Mode (MCKI =13.5MHz, FS3-0 bits = "1011")で、PMADL = PMADR = PMDAC = PMPFIL = PMLO = PMSPK = PMPLL = MCKO = PMBP = PMMP = PMMICKL= PMMICR = M/S = PMV bits = "1", SPK-amp No load、LIN/RIN、BEEP pinへの入力信号は無入力、VIN pin への入力信号が黒信号入力、LOUT/ROUT pin 無出力、SDTI pin は"0"データ入力の場合です。このとき、MPWR pinの出力電流は0mAです。パスの設定は、BRDAC= ADCPF= PFSDO bits = "1", PFDAC = "0", DACS = DACL bits = "1", BEEPS = BEEPL bits = "0"です。MG2-0 bits = "000", HPF = LPF = FIL3 = EQ0 = EQ1~5 = ALC1~2 bits = "0", MONO1-0 bits = "00", DVOL7-0 bits = "C0H", SMUTE bit = "0"です。

Note 24. EXT Slave Mode (PMPLL=M/S=MCKO bits = "0"), PMADL = PMADR = PMMICKL= PMMICR = bits = "1" LIN/RIN pinへの入力信号は無入力の場合です。パスの設定は、ADCPF = PFSDO bits = "0"です。

Note 25. EXT Slave Mode (PMPLL=M/S=MCKO bits = "0"), PMDAC= PMLO bits = "1", SDTI pin は"0"データ入力、LOUT/ROUT pin 無出力の場合です。パスの設定は、BRDAC =PFDAC bits = "0", DACL bit = "1", DACS =BEEPS =BEEPL bits = "0"です。MONO1-0 bits = "00", DVOL7-0 bits = "C0H", SMUTE bit = "0"です。

Note 26. EXT Slave Mode (PMPLL=M/S=MCKO bits = "0"), PMDAC = PMSPK =SPPSN bits = "1", SDTI pin は"0"データ入力、SPK-amp No loadの場合です。パスの設定は、PFDAC bit = "0" DACS bit = "1", DACL =BEEPS =BEEPL bits = "0"です。MONO1-0 bits = "00", DVOL7-0 bits = "C0H", SMUTE bit = "0"です。

Note 27. PMV bit = "1", 無負荷時でVIN pin への入力信号が黒信号入力の場合です。

Note 28. デジタル入力ピン(MCKI, LRCK, BICK, SDTI, CSN/SDA, CCLK/SCL, CDTIO/CAD0, I2C pins)をTVDD(AK4958EG), DTVDD(AK4958ECB)またはVSS2にI2C pinをAVDDまたはVSSに固定した時の値です。

## フィルタ特性

(Ta = 25°C; fs = 48kHz; AK4958EG: AVDD = 2.8 ~ 3.6V, DVDD = 1.6 ~ 2.0V, TVDD = 1.6 or (DVDD - 0.2) ~ 3.6V, AK4958ECB: AVDD = 2.8 ~ 3.6V, DTVDD = 1.6 ~ 2.0V)

Parameter		Symbol	min	typ	max	Unit
<b>ADC Digital Filter (Decimation LPF):</b>						
Passband (Note 29)	±0.16dB	PB	0	-	18.8	kHz
	-0.66dB		-	21.1	-	kHz
	-1.1dB		-	21.7	-	kHz
	-6.9dB		-	24.1	-	kHz
Stopband (Note 29)		SB	28.4	-	-	kHz
Passband Ripple		PR	-	-	±0.16	dB
Stopband Attenuation		SA	73	-	-	dB
Group Delay (Note 30)		GD	-	17	-	1/fs
Group Delay Distortion		ΔGD	-	0	-	μs
<b>ADC Digital Filter (HPF): HPFC1-0 bits = "00"</b>						
Frequency Response (Note 29)	-3.0dB	FR	-	3.7	-	Hz
	-0.5dB		-	10.9	-	Hz
	-0.1dB		-	23.9	-	Hz
<b>DAC Digital Filter (LPF):</b>						
Passband (Note 29)	±0.05dB	PB	0	-	21.8	kHz
	-6.0dB		-	24	-	kHz
Stopband (Note 29)		SB	26.2	-	-	kHz
Passband Ripple		PR	-	-	±0.05	dB
Stopband Attenuation		SA	54	-	-	dB
Group Delay (Note 30)		GD	-	22	-	1/fs
<b>DAC Digital Filter (LPF) + SCF:</b>						
Frequency Response: 0 ~ 20.0kHz		FR	-	±1.0	-	dB

Note 29. 各振幅特性の周波数は fs (サンプリング周波数) に比例します。

例えば、PB=21.7kHz (@-1.1dB) は  $0.454 \times fs$  です(ADC)。各応答は1kHzを基準にします。

Note 30. デジタルフィルタによる遅延演算で、ADC部はアナログ信号が入力されてから両チャンネルの24ビットデータが出力レジスタにセットされるまでの時間です。DAC部は24ビットデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。プログラマブルフィルタ (1次HPF + 1次LPF + 4-Band Equalizer + ALC + 1-Band Equalizer) を通過するパスを選択した場合の Group Delay はIIR フィルタによる位相変化が無い場合で上記記載の値に対して、録音モードのとき4fs, 再生モードのとき4fs増加します。

## DC特性

(Ta =25°C; fs=48kHz ; AK4958EG: AVDD=2.8 ~ 3.6V, DVDD = 1.6 ~ 2.0V, TVDD = 1.6 or (DVDD-0.2)~ 3.6V, AK4958ECB: AVDD=2.8 ~ 3.6V, DTVDD = 1.6 ~ 2.0V)

Parameter	Symbol	min	typ	max	Unit
<b>Audio Interface &amp; Serial <math>\mu</math>P Interface</b> (CDTIO/CAD0, CSN/SDA, CCLK/SCL, I2C, PDN, BICK, LRCK, SDTI, MCKI pins )					
High-Level Input Voltage (Except I2C pin, TVDD $\geq$ 2.2V)	VIH	70%TVDD	-	-	V
(Except I2C pin, TVDD < 2.2V)	VIH	80%TVDD	-	-	V
(I2C pin)	VIH1	70%AVDD	-	-	V
Low-Level Input Voltage (Except I2C pin, TVDD $\geq$ 2.2V)	VIL	-	-	30%TVDD	V
(Except I2C pin, TVDD < 2.2V)	VIL	-	-	20%TVDD	V
(I2C pin)	VIL1	-	-	30%AVDD	V
Input Leakage Current	Iin1	-	-	$\pm$ 10	$\mu$ A
<b>Audio Interface &amp; Serial <math>\mu</math>P Interface (CDTIO, SDA MCKO, BICK, LRCK, SDTO pins Output)</b>					
High-Level Output Voltage (Iout = -80 $\mu$ A)	VOH	TVDD-0.2	-	-	V
Low-Level Output Voltage (Except SDA pin : Iout = 80 $\mu$ A)	VOL1	-	-	0.2	V
(SDA pin, 2.0V $\leq$ TVDD $\leq$ 3.6V: Iout = 3mA)	VOL2	-	-	0.4	V
(SDA pin, 1.6V $\leq$ TVDD < 2.0V: Iout = 3mA)	VOL2	-	-	20%TVDD	V
<b>Digital MIC Interface (DMDAT pin Input ; DMIC bit = "1")</b>					
High-Level Input Voltage	VIH2	65%AVDD	-	-	V
Low-Level Input Voltage	VIL2	-	-	35%AVDD	V
Input Leakage Current	Iin2	-	-	$\pm$ 10	$\mu$ A
<b>Digital MIC Interface (DMCLK pin Output ; DMIC bit = "1")</b>					
High-Level Output Voltage (Iout=-80 $\mu$ A)	VOH3	AVDD-0.4	-	-	V
Low-Level Output Voltage (Iout= 80 $\mu$ A)	VOL3	-	-	0.4	V

Note 31. AK4958ECBは、TVDDがDTVDDになります。

Note 32. SCL, SDA pinsのプルアップ抵抗の接続先は、TVDD(DTVDD)以上かつ6V以下にしてください。

<b>スイッチング特性</b>
-----------------

(Ta=25°C; fs=48kHz; CL=20pF; AK4958ECB: AVDD=2.8~3.6V, DVDD=1.6~2.0V, TVDD=1.6 or (DVDD-0.2)~3.6V, AK4958ECB: AVDD=2.8~3.6V, DTVDD=1.6~2.0V)

Parameter	Symbol	min	typ	max	Unit	
<b>PLL Master Mode (PLL Reference Clock = MCKI pin)</b>						
<b>MCKI Input Timing</b>						
Frequency	PLL3-0 bits = "0100"	fCLK	-	11.2896	-	MHz
	PLL3-0 bits = "0110"	fCLK	-	12	-	MHz
	PLL3-0 bits = "0111"	fCLK	-	24	-	MHz
	PLL3-0 bits = "1100"	fCLK	-	13.5	-	MHz
	PLL3-0 bits = "1101"	fCLK	-	27	-	MHz
Pulse Width Low	tCLKL	0.4/fCLK	-	-	s	
Pulse Width High	tCLKH	0.4/fCLK	-	-	s	
<b>MCKO Output Timing</b>						
Frequency	PS1-0 bits = "00"	fMCK	-	256fs	-	Hz
	PS1-0 bits = "01"	fMCK	-	128fs	-	Hz
	PS1-0 bits = "10"	fMCK	-	64fs	-	Hz
	PS1-0 bits = "11" (Note 33)	fMCK	-	512fs	-	Hz
Duty Cycle	dMCK	40	50	60	%	
<b>LRCK Output Timing</b>						
Frequency	fs	-	Table 6	-	Hz	
Duty Cycle	Duty	-	50	-	%	
<b>BICK Output Timing</b>						
Frequency	BCKO bit = "0"	fBCK	-	32fs	-	Hz
	BCKO bit = "1"	fBCK	-	64fs	-	Hz
Duty Cycle	dBCK	-	50	-	%	
<b>PLL Slave Mode (PLL Reference Clock = MCKI pin)</b>						
<b>MCKI Input Timing</b>						
Frequency	fCLK	11.2896	-	27	MHz	
Pulse Width Low	tCLKL	0.4/fCLK	-	-	s	
Pulse Width High	tCLKH	0.4/fCLK	-	-	s	
<b>MCKO Output Timing</b>						
Frequency	PS1-0 bits = "00"	fMCK	-	256fs	-	Hz
	PS1-0 bits = "01"	fMCK	-	128fs	-	Hz
	PS1-0 bits = "10"	fMCK	-	64fs	-	Hz
	PS1-0 bits = "11" (Note 33)	fMCK	-	512fs	-	Hz
Duty Cycle	dMCK	40	50	60	%	
<b>LRCK Input Timing</b>						
Frequency	fs	-	Table 6	-	Hz	
Duty	Duty	45	-	55	%	
<b>BICK Input Timing</b>						
Frequency	fBCK	32fs	-	64fs	Hz	
Pulse Width Low	tBCKL	0.4 x tBCK	-	-	s	
Pulse Width High	tBCKH	0.4 x tBCK	-	-	s	

Note 33. MCKO=512fs時はfs=8, 11.025, 12, 16, 32kHzは使用できません。

Parameter	Symbol	min	typ	max	Unit	
<b>PLL Slave Mode (PLL Reference Clock = BICK pin)</b>						
<b>LRCK Input Timing</b>						
Frequency	PLL3-0 bits = "0010"	fs	-	fBCK/32	-	Hz
	PLL3-0 bits = "0011"	fs	-	fBCK/64	-	Hz
Duty		Duty	45	-	55	%
<b>BICK Input Timing</b>						
Frequency	PLL3-0 bits = "0010"	fBCK	0.2352	-	1.536	MHz
	PLL3-0 bits = "0011"	fBCK	0.4704	-	3.072	MHz
Pulse Width Low		tBCKL	0.4/fBCK	-	-	s
Pulse Width High		tBCKH	0.4/fBCK	-	-	s
<b>External Slave Mode</b>						
<b>MCKI Input Timing</b>						
Frequency	FS1-0 bits = "00"	fCLK	-	256fs	-	Hz
	FS1-0 bits = "01"	fCLK	-	1024fs	-	Hz
	FS1-0 bits = "10" or "11"	fCLK	-	512fs	-	Hz
Pulse Width Low		tCLKL	0.4/fCLK	-	-	s
Pulse Width High		tCLKH	0.4/fCLK	-	-	s
<b>LRCK Input Timing</b>						
Frequency	FS1-0 bits = "00"	fs	7.35	-	48	kHz
	FS1-0 bits = "01"	fs	7.35	-	13	kHz
	FS1-0 bits = "10"	fs	7.35	-	24	kHz
	FS1-0 bits = "11"	fs	7.35	-	48	kHz
Duty		Duty	45	-	55	%
<b>BICK Input Timing</b>						
Frequency		fBCK	32fs	-	64fs	Hz
Pulse Width Low		tBCKL	130	-	-	ns
Pulse Width High		tBCKH	130	-	-	ns
<b>External Master Mode</b>						
<b>MCKI Input Timing</b>						
Frequency	256fs (FS1-0 bits = "00")	fCLK	1.8816	-	12.288	MHz
	512fs (FS1-0 bits = "10")	fCLK	3.7632	-	13.312	MHz
	512fs (FS1-0 bits = "11")	fCLK	3.7632	-	24.576	MHz
	1024fs (FS1-0 bits = "01")	fCLK	7.5264	-	13.312	MHz
Pulse Width Low		tCLKL	0.4/fCLK	-	-	s
Pulse Width High		tCLKH	0.4/fCLK	-	-	s
<b>LRCK Output Timing</b>						
Frequency	FS1-0 bits = "00"	fs	-	fCLK/256	-	kHz
	FS1-0 bits = "01"	fs	-	fCLK/1024	-	kHz
	FS1-0 bits = "10" or "11"	fs	-	fCLK/512	-	kHz
Duty Cycle		Duty	-	50	-	%
<b>BICK Output Timing</b>						
Frequency	BCKO bit = "0"	fBCK	-	32fs	-	Hz
	BCKO bit = "1"	fBCK	-	64fs	-	Hz
Duty Cycle		dBCK	-	50	-	%

Parameter	Symbol	min	typ	max	Unit
<b>Audio Interface Timing</b>					
<b>Master Mode</b>					
BICK “↓” to LRCK Edge (Note 34)	tMBLR	-40	-	40	ns
LRCK Edge to SDTO (MSB) (Except I <sup>2</sup> S mode)	tLRD	-70	-	70	ns
BICK “↓” to SDTO	tBSD	-70	-	70	ns
SDTI Hold Time	tSDH	50	-	-	ns
SDTI Setup Time	tSDS	50	-	-	ns
<b>Slave Mode</b>					
LRCK Edge to BICK “↑” (Note 34)	tLRB	50	-	-	ns
BICK “↑” to LRCK Edge (Note 34)	tBLR	50	-	-	ns
LRCK Edge to SDTO (MSB) (Except I <sup>2</sup> S mode)	tLRD	-	-	80	ns
BICK “↓” to SDTO	tBSD	-	-	80	ns
SDTI Hold Time	tSDH	50	-	-	ns
SDTI Setup Time	tSDS	50	-	-	ns
<b>Control Interface Timing (3-wire Mode) (Note 35)</b>					
CCLK Period	tCCK	200	-	-	ns
CCLK Pulse Width Low	tCCKL	80	-	-	ns
Pulse Width High	tCCKH	80	-	-	ns
CDTIO Setup Time	tCDS	40	-	-	ns
CDTIO Hold Time	tCDH	40	-	-	ns
CSN “H” Time	tCSW	150	-	-	ns
CSN Edge to CCLK “↑” (Note 36)	tCSS	50	-	-	ns
CCLK “↑” to CSN Edge (Note 36)	tCSH	50	-	-	ns
CCLK “↓” to CDTIO (at Read Command)	tDCD	-	-	70	ns
CSN “↑” to CDTIO (Hi-Z) (at Read Command)(Note 38)	tCCZ	-	-	70	ns
<b>Control Interface Timing (I<sup>2</sup>C Bus Mode):</b>					
SCL Clock Frequency	fSCL	-	-	400	kHz
Bus Free Time Between Transmissions	tBUF	1.3	-	-	μs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6	-	-	μs
Clock Low Time	tLOW	1.3	-	-	μs
Clock High Time	tHIGH	0.6	-	-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.6	-	-	μs
SDA Hold Time from SCL Falling (Note 39)	tHD:DAT	0	-	-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1	-	-	μs
Rise Time of Both SDA and SCL Lines	tR	-	-	0.3	μs
Fall Time of Both SDA and SCL Lines	tF	-	-	0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6	-	-	μs
Capacitive Load on Bus	Cb	-	-	400	pF
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0	-	50	ns

Note 34. この規格値はLRCKのエッジとBICKの“↑”が重ならないように規定しています。

Note 35. 3-wire ModeはAK4958ECBでは対応しておりません。

Note 36. この規格はCSNのエッジとCCLKの“↑”が重ならないように規定しています。

Note 37. I<sup>2</sup>C-busはNXP B.V.の商標です。

Note 38. Hi-zとはR<sub>L</sub>=1kΩ (プルアップはTVDDに対して)時、10% CDTIO pin の電位が変動するまでの時間です。

Note 39. データは最低300ns (SCLの立ち下がり時間)の間保持されなければなりません。

Parameter	Symbol	min	typ	max	Unit
<b>Digital Audio Interface Timing; C<sub>L</sub>=100pF</b>					
DMCLK Output Timing					
Period	tSCK	-	1/(64fs)	-	s
Rising Time	tSRise	-	-	10	ns
Falling Time	tSFall	-	-	10	ns
Duty Cycle	dSCK	40	50	60	%
Audio Interface Timing					
DMDAT Setup Time	tDSDS	50	-	-	ns
DMDAT Hold Time	tDSDH	0	-	-	ns
<b>Power-down &amp; Reset Timing</b>					
PDN Accept Pulse Width (Note 40)	tAPD	200	-	-	ns
PDN Reject Pulse Width (Note 40)	tRPD	-	-	50	ns
PMADL or PMADR “↑” to SDTO valid (Note 41)					
ADRST1-0 bits =“00”	tPDV	-	1059	-	1/fs
ADRST1-0 bits =“01”	tPDV	-	267	-	1/fs
ADRST1-0 bits =“10”	tPDV	-	531	-	1/fs
ADRST1-0 bits =“11”	tPDV	-	135	-	1/fs
<b>VCOM Voltage</b>					
Rising Time (Note 42)	tRVCM	-	0.6	2.0	ms

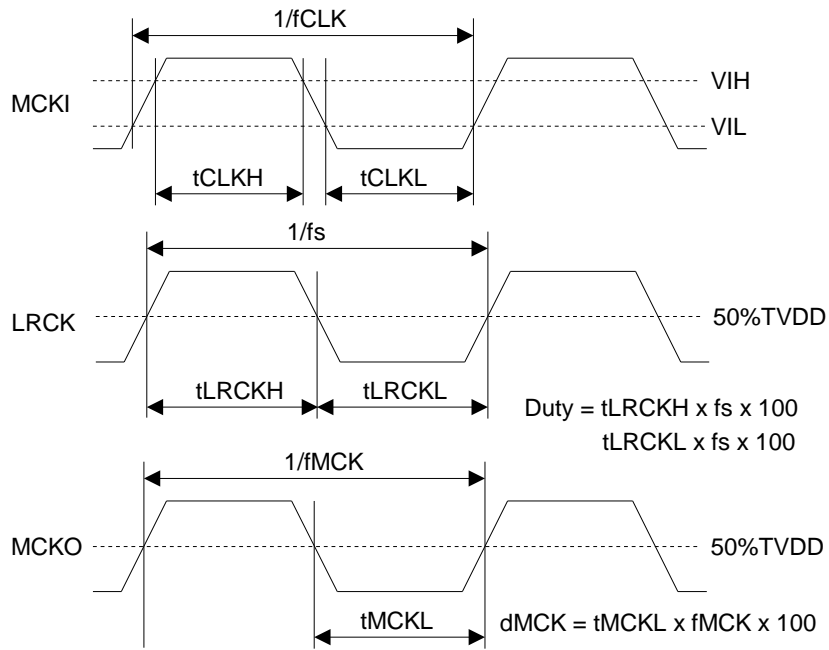
Note 40. 動作中はPDN pin = “L”パルスでリセットがかかります。200ns以上のPDN pin = “L”パルスでリセットがかかります。50ns以下のPDN pin = “L”パルスではリセットはかかりません。

Note 41. PMADL bit またはPMADR bit を立ち上げてからのLRCKクロックの“↑”の回数です。

Note 42. アナログ全ブロック(PLLブロック含む)は、VCOM電圧(VCOM pin)が立ち上がってから動作を開始します。VCOM pin 外付けコンデンサ = 2.2μF、REGFIL pin 外付けコンデンサ = 2.2μF で、容量バラつき±50%の場合です。



■ タイミング波形



Note 43. MCKO is not available at EXT Master mode.  
Figure 5. Clock Timing (PLL/EXT Master mode)

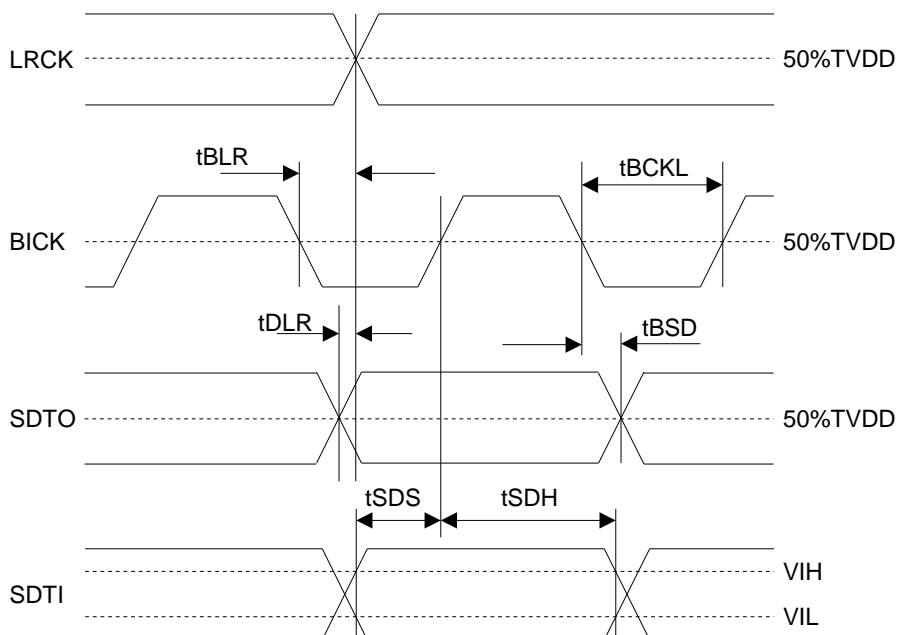


Figure 6. Audio Interface Timing (PLL/EXT Master mode)

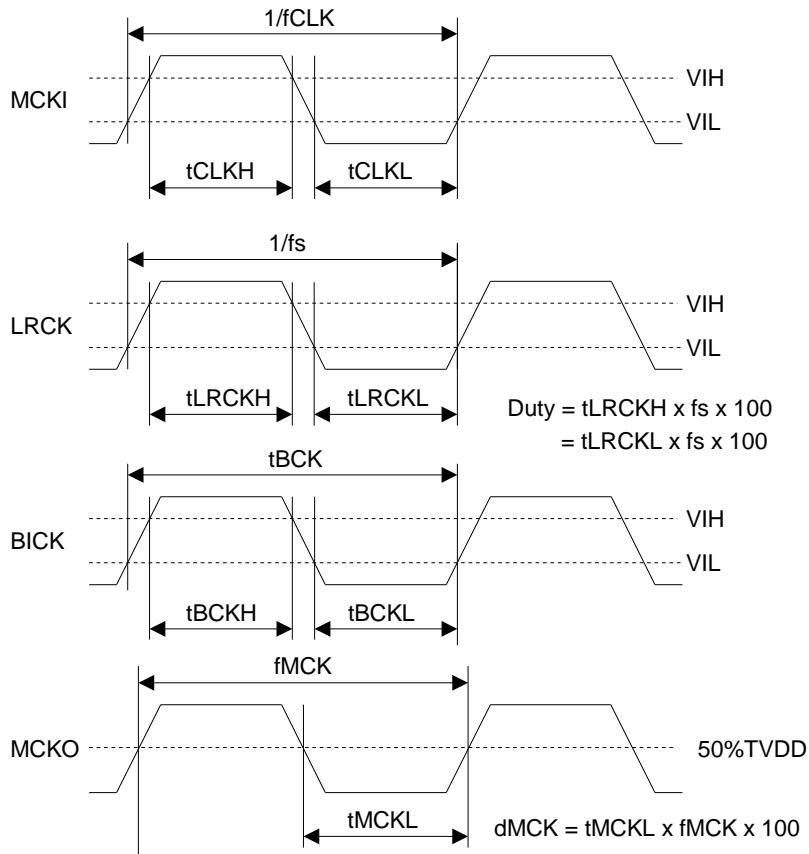


Figure 7. Clock Timing (PLL Slave mode; PLL Reference Clock = MCKI pin)

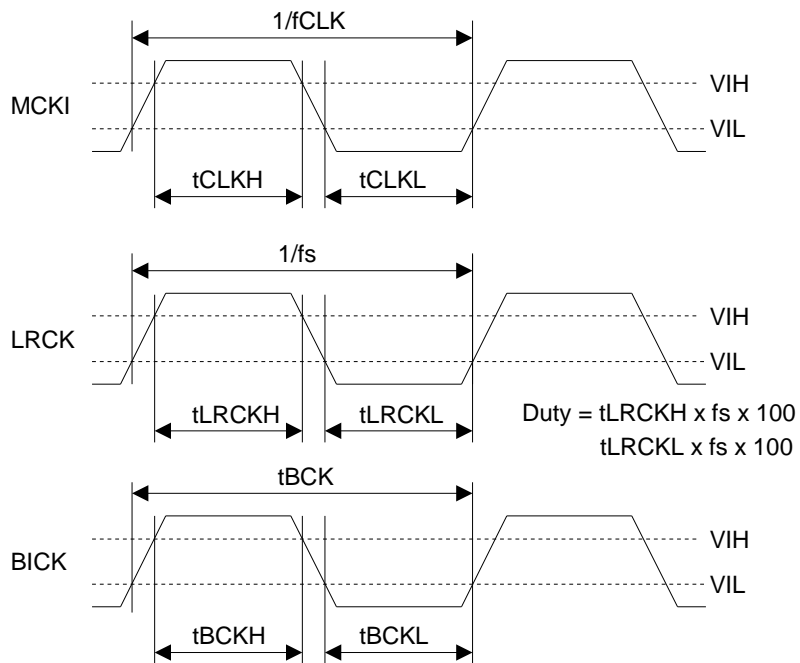


Figure 8. Clock Timing (EXT Slave mode)

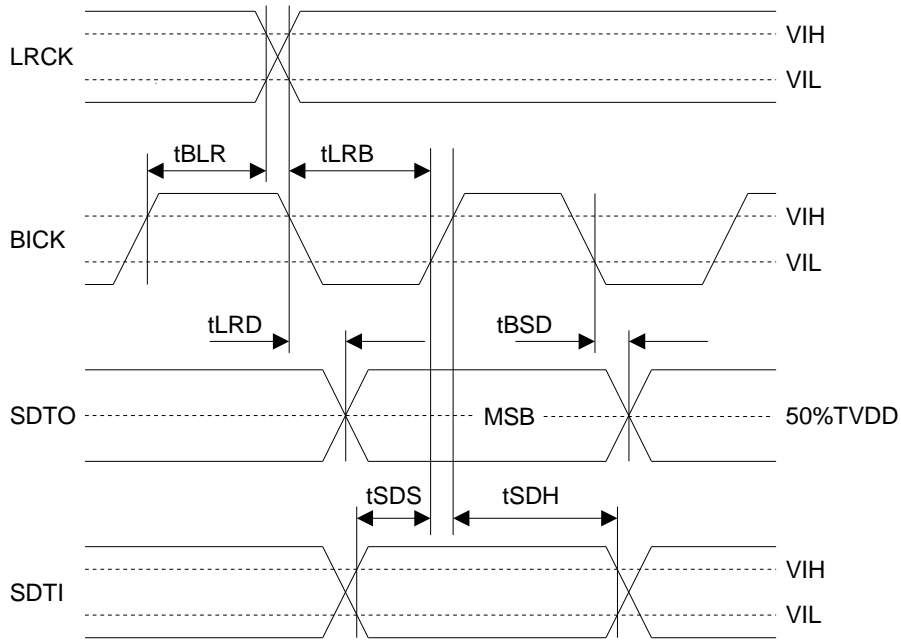


Figure 9. Audio Interface Timing (PLL/EXT Slave mode)

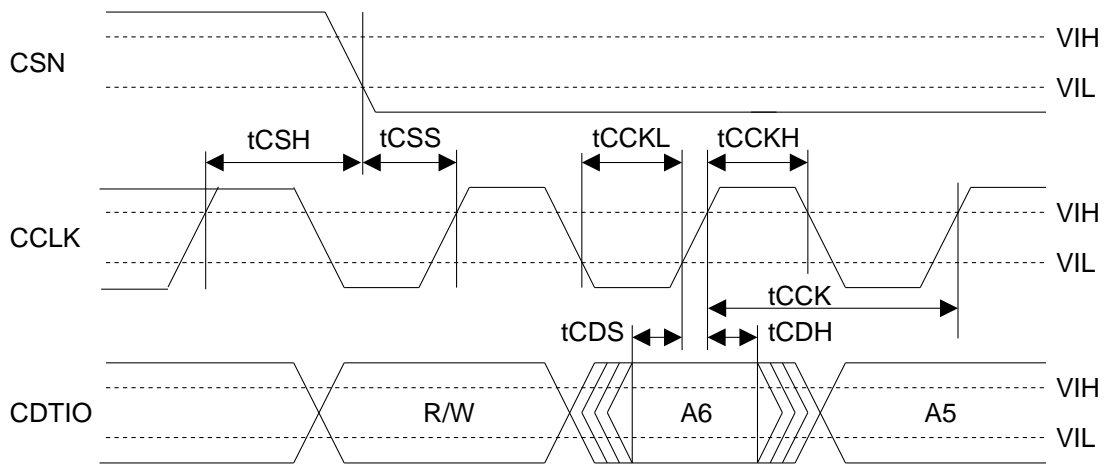


Figure 10. WRITE Command Input Timing

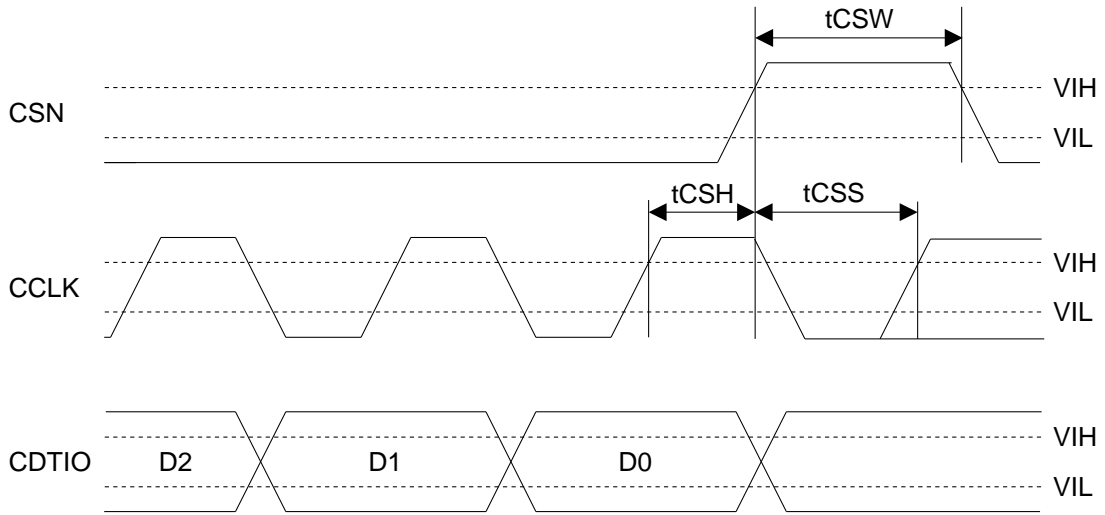


Figure 11. WRITE Data Input Timing

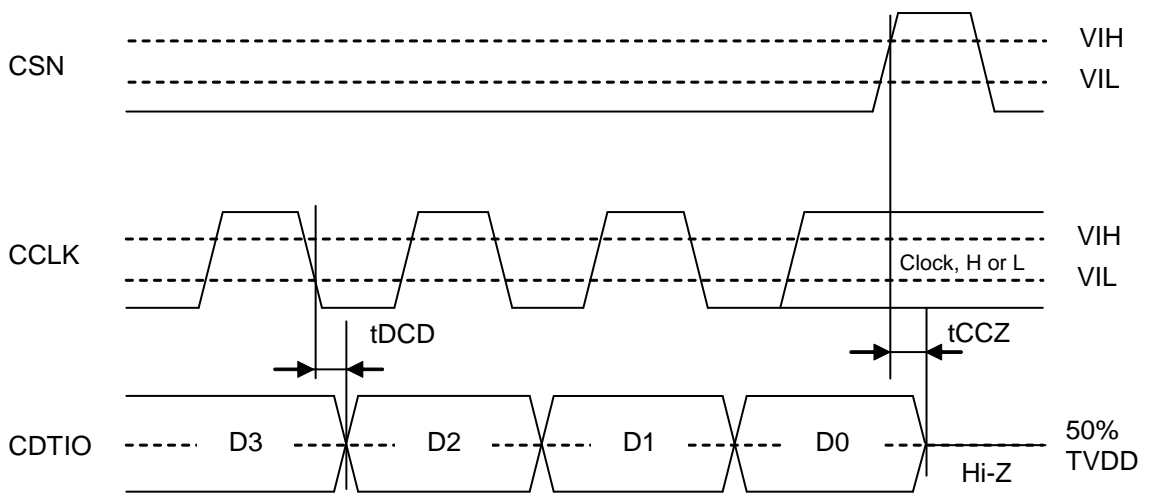


Figure 12. Read Data Output Timing

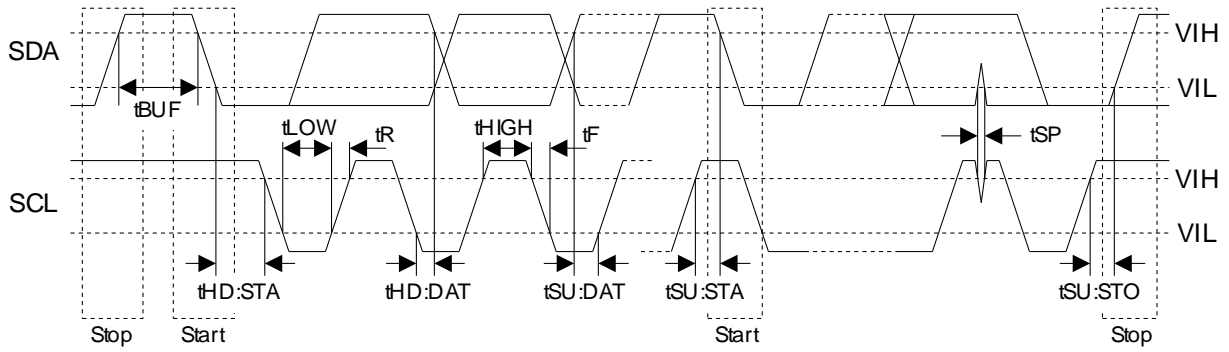


Figure 13. I<sup>2</sup>C Bus Mode Timing

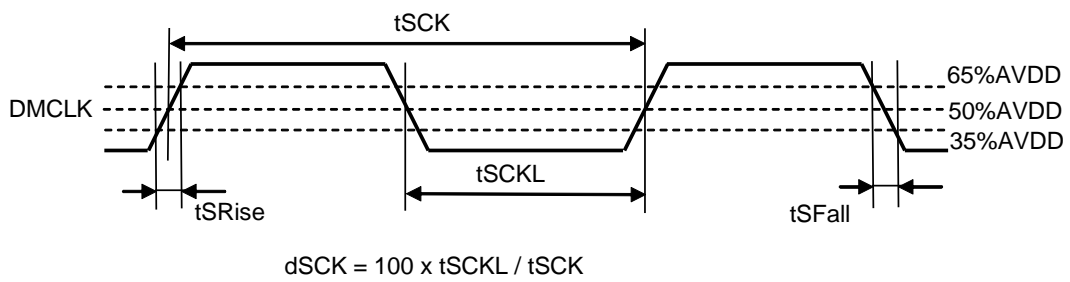


Figure 14. DMCLK Clock Timing

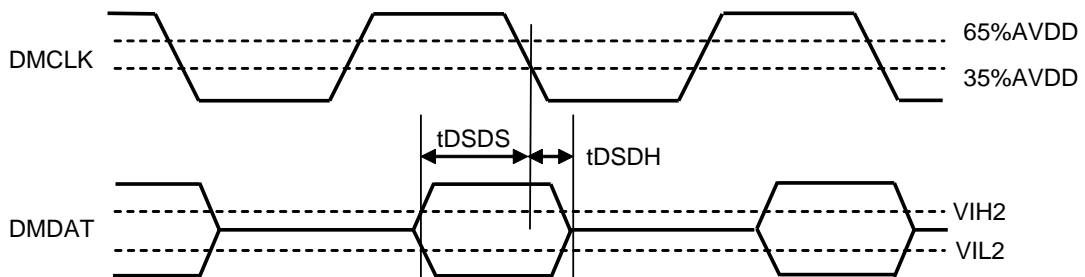


Figure 15. Audio Interface Timing (DCLKP bit = "1")

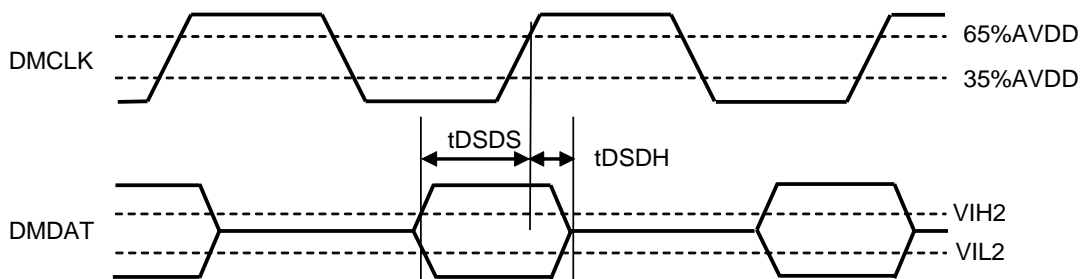


Figure 16. Audio Interface Timing (DCLKP bit = "0")

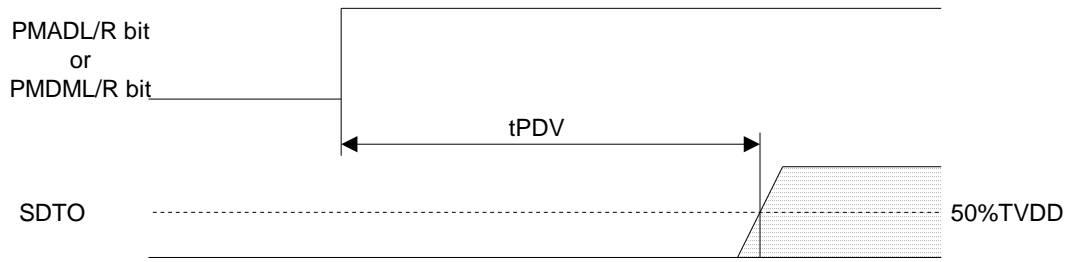


Figure 17. Power Down & Reset Timing 1

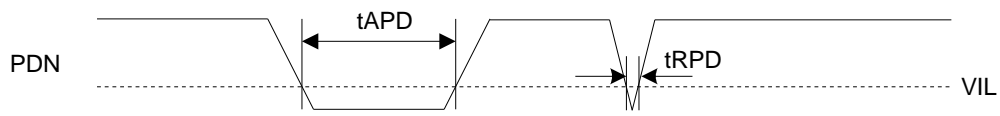


Figure 18. Power Down & Reset Timing 2

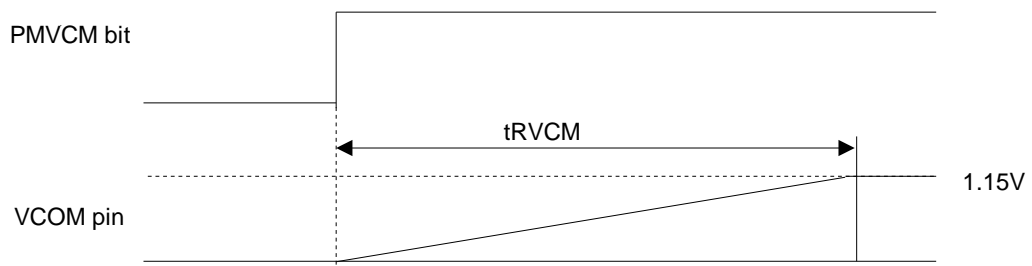
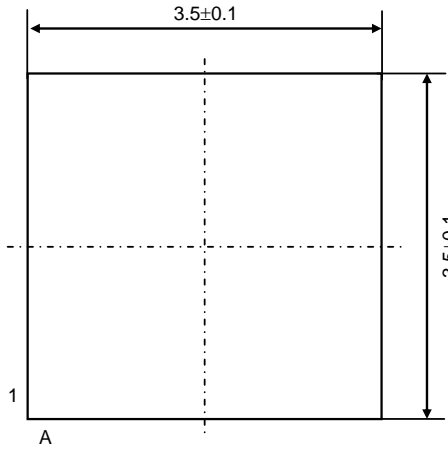


Figure 19. VCOM Rising Timing

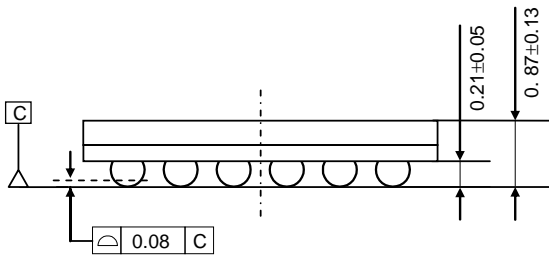
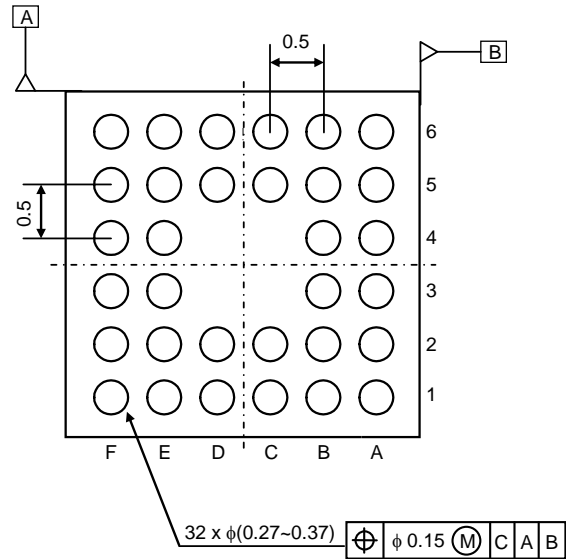
パッケージ (AK4958EG)

32pin BGA (Unit: mm)

Top View



Bottom View

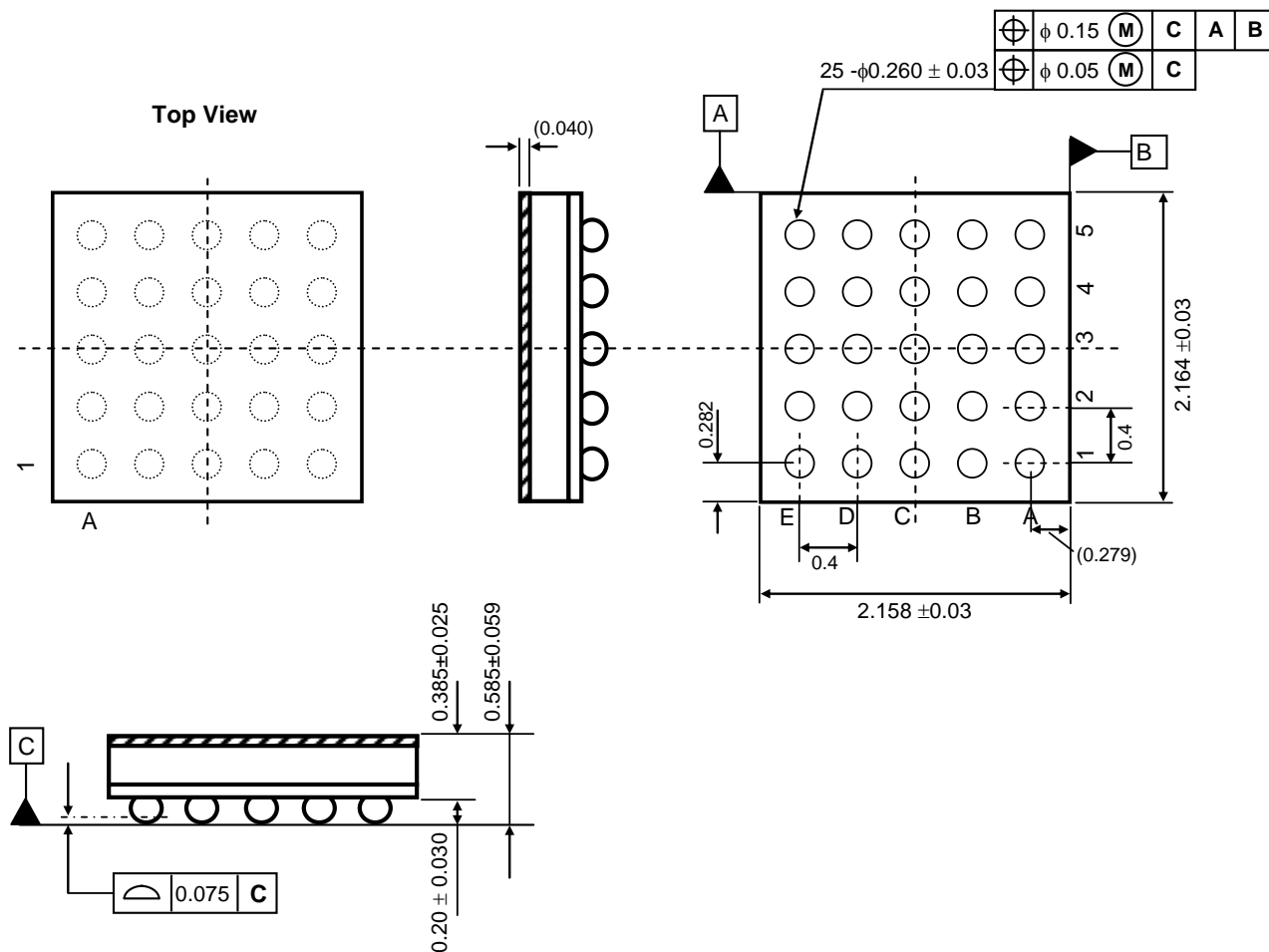


■ 材質・メッキ仕様

パッケージ材質: エポキシ系樹脂、ハロゲン(臭素、塩素)フリー  
 半田ボール材質: SnAgCuNi (LF35)

パッケージ (AK4958ECB)

25pin CSP (Unit: mm)

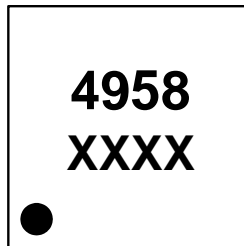


■ 材質・メッキ仕様

パッケージ材質: ポリイミド系樹脂、ハロゲン(臭素、塩素)フリー  
 半田ボール材質: SnAgCu



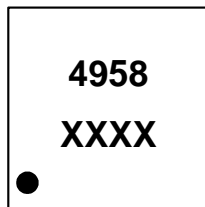
マーキング(AK4958EG)



A1

XXXX: Date code (4 digit)  
Pin #A1 indication

マーキング(AK4958ECB)



A1

XXXX: Date code (4 digit)  
Pin #A1 indication

## 改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
13/09/13	00	初版		
13/10/25	01	誤記訂正	31	パッケージ寸法訂正 (AK4958EG) Stand off: $0.16 \pm 0.5 \rightarrow 0.21 \pm 0.05$ Total thickness: Max 1 $\rightarrow 0.87 \pm 0.13$

**重要な注意事項**

0. 本書に記載された弊社製品（以下、「本製品」といいます。）および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替及び外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。

**旭化成エレクトロニクス製品のご検討ありがとうございます。**

**より詳しい資料を用意しておりますので、お手数ですが弊社営業担当、あるいは弊社特約店営業担当までお申し付けください。**